

**PATENT APPLICATION**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re the Application of:

YOKOZEKI, et al.

Group Art Unit: Unknown

Application No.: Unknown

Examiner: Unknown

Filed: August 26, 2003

Attorney Dkt. No.: 108066-00098

For: NONVOLATILE DATA STORAGE CIRCUIT USING FERROELECTRIC  
CAPACITORS

**CLAIM FOR PRIORITY**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Date: August 26, 2003

Sir:

The benefit of the filing date(s) of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

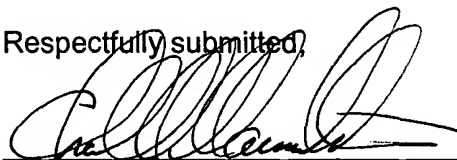
Foreign Application No. 2002-247347, filed August 27, 2002 in Japan.

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein  
Registration No. 25,895

Customer No. 004372  
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC  
1050 Connecticut Avenue, N.W.,  
Suite 400  
Washington, D.C. 20036-5339  
Tel: (202) 857-6000  
Fax: (202) 638-4810  
CMM/cam

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月27日

出 願 番 号

Application Number:

特願2002-247347

[ ST.10/C ]:

[ JP2002-247347 ]

出 願 人

Applicant(s):

富士通株式会社

2003年 2月21日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3009349

【書類名】 特許願

【整理番号】 0241080

【提出日】 平成14年 8月27日

【あて先】 特許庁長官 殿

【国際特許分類】 G11C 11/22

【発明の名称】 強誘電体キャパシタを使用した不揮発性データ記憶回路

【請求項の数】 10

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 横関 亘

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 榊井 昇一

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100094525

    【弁理士】

    【氏名又は名称】 土井 健二

【選任した代理人】

    【識別番号】 100094514

    【弁理士】

    【氏名又は名称】 林 恒徳

【手数料の表示】

    【予納台帳番号】 041380

    【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9704944

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体キャパシタを使用した不揮発性データ記憶回路

【特許請求の範囲】

【請求項 1】 不揮発性データ記憶回路において、  
記憶ノードを有するデータ保持回路と、  
前記記憶ノードに一方の電極が接続された複数の強誘電体キャパシタとを有し

、  
前記データ保持回路のデータを前記複数の強誘電体キャパシタに書き込むストア動作時において、前記複数の強誘電体キャパシタの他方の電極に、立ち上がり又は立ち下りの少なくともいずれか一方のタイミングを異ならせた複数のプレート信号がそれぞれ供給されることを特徴とする不揮発性データ記憶回路。

【請求項 2】 請求項 1 において、  
前記記憶ノードに接続される複数の強誘電体キャパシタが、第 1 及び第 2 の強誘電体キャパシタとを有し、

前記第 1 及び第 2 の強誘電体キャパシタに印加される第 1 のプレート信号の立ち下りと第 2 のプレート信号の立ち上がりのタイミングがほぼ一致していることを特徴とする不揮発性データ記憶装置。

【請求項 3】 請求項 2 において、  
前記データ保持回路は、活性化信号に応答して当該データ保持回路を活性化する活性化回路を有し、

前記強誘電体キャパシタに書き込んだデータを前記データ保持回路に書き込むリコール動作時において、前記第 1 のプレート信号が駆動された後に、前記活性化回路により前記データ保持回路が活性化されることを特徴とする不揮発性データ記憶装置。

【請求項 4】 請求項 3 において、  
前記リコール動作時において、前記データ保持回路が活性化された後に、前記第 2 のプレート信号が駆動されることを特徴とする不揮発性データ記憶回路。

【請求項 5】 不揮発性データ記憶回路において、  
第 1 及び第 2 の記憶ノードを有するデータラッチ回路と、

前記第 1 の記憶ノードに一方の電極が接続された第 1 及び第 2 の強誘電体キャパシタと、前記第 2 の記憶ノードに一方の電極が接続された第 3 及び第 4 の強誘電体キャパシタとを有し、

前記データラッチ回路のデータを前記強誘電体キャパシタに書き込むストア動作時において、前記第 1 及び第 3 の強誘電体キャパシタの他方の電極に第 1 のプレート信号が供給され、前記第 2 及び第 4 の強誘電体キャパシタの他方の電極に第 2 のプレート信号が供給され、前記第 1 及び第 2 のプレート信号の立ち上がり又は立ち下りの少なくともいずれか一方のタイミングが異なっていることを特徴とする不揮発性データ記憶回路。

【請求項 6】請求項 5 において、

前記ストア動作時において、前記第 1 のプレート信号の立ち下りと第 2 のプレート信号の立ち上がりのタイミングがほぼ一致していることを特徴とする不揮発性データ記憶回路。

【請求項 7】請求項 5 において、

前記強誘電体キャパシタのデータをデータラッチ回路に書き込むリコール動作時において、前記第 1 及び第 3 の強誘電体キャパシタの他方の電極に前記第 1 のプレート信号が供給され、その状態で前記データラッチ回路が活性化され、その後、前記第 2 及び第 4 の強誘電体キャパシタの他方の電極に前記第 2 のプレート信号が供給されることを特徴とする不揮発性データ記憶回路。

【請求項 8】請求項 5 において、

前記第 1 及び第 2 の記憶ノードのいずれか一方に、ダミーゲート回路が接続されていることを特徴とする不揮発性データ記憶回路。

【請求項 9】不揮発性データ記憶回路において、

記憶ノードを有するデータ保持回路と、

前記記憶ノードに一方の電極が接続された 1 対の強誘電体キャパシタとを有し、

前記強誘電体キャパシタのデータを前記データ保持回路に書き戻すリコール動作時において、前記 1 対の強誘電体キャパシタの他方の電極に供給される第 1 及び第 2 のプレート信号のタイミングをずらし、前記第 1 のプレート信号を印加し

た時に前記データ保持回路を活性化してデータをラッチし、その後前記第2のプレート信号を印加することを特徴とする不揮発性データ記憶回路。

【請求項10】不揮発性メモリ回路において、

複数のワード線と、

複数のビット線対と、

前記ワード線とビット線対の交差位置に配置されたメモリセルとを有し、

前記メモリセルは、

第1及び第2の記憶ノードを有するデータラッチ回路と、

前記第1の記憶ノードに一方の電極が接続された第1及び第2の強誘電体キャパシタと、前記第2の記憶ノードに一方の電極が接続された第3及び第4の強誘電体キャパシタとを有し、

前記データラッチ回路のデータを前記強誘電体キャパシタに書き込むストア動作時において、前記第1及び第3の強誘電体キャパシタの他方の電極に第1のプレート信号が供給され、前記第2及び第4の強誘電体キャパシタの他方の電極に第2のプレート信号が供給され、前記第1及び第2のプレート信号の立ち上がり又は立ち下りの少なくともいずれか一方のタイミングが異なっていることを特徴とする不揮発性メモリ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体キャパシタを使用した不揮発性データ記憶回路に関し、特に、電源オフ時のストア動作を安定させることができる不揮発性データ記憶回路に関する。

【0002】

【従来の技術】

高速動作可能なデータ記憶回路として、1対のインバータの入出力を交差接続したラッチ回路がある。ラッチ回路は、フリップフロップを構成する要素回路として利用されたり、SRAMのメモリセルとして利用される。かかるラッチ回路は、それ自体揮発性のデータ記憶回路であり、電源が遮断されると、保持してい

るデータが失われる。そこで、不揮発性のデータ記憶回路が提案されている。

【 0 0 0 3 】

不揮発性のデータ記憶回路として、後述の非特許文献 1 には、S R A M のメモリセルを構成するラッチ回路の記憶ノードに、強誘電体キャパシタを可変容量キャパシタとして接続したものが提案されている。図 1 は、かかるメモリセルの回路図である。このメモリセルは、CMOSインバータ 1 a, 1 b の入出力端を交差接続したラッチ回路 2 と、ゲートがワード線 W L にソース・ドレインの一方がビット線 B L, B L X に接続されたトランスファergeート 4 a, 4 b と、ラッチ回路 2 の 1 対の記憶ノード N, N X に接続された強誘電体キャパシタ F C 1, F C 2 とで構成される。強誘電体キャパシタ F C 1, F C 2 の反対側の電極は、プレート線 P L が接続される。

【 0 0 0 4 】

1 対のインバータからなるラッチ回路 2 は、電源が遮断されるとデータが消失する。しかし、1 対の記憶ノード N, N X に強誘電体キャパシタ F C 1, F C 2 を接続することで、記憶ノードの電圧レベルに応じて、強誘電体キャパシタの強誘電体膜の分極方向を制御することができ、かかる分極方向は、電源遮断後も残留分極として維持される。

【 0 0 0 5 】

例えば、ノード N が L レベル、ノード N X が H レベルとすると、プレート線 P L が L レベルの時は、強誘電体キャパシタ F C 2 に電圧が印加され、分極方向は矢印の向きになる。また、プレート線 P L を H レベルに駆動すると、強誘電体キャパシタ F C 1 に逆方向の電圧が印加されて、分極方向は逆向きになる。この分極方向は、強誘電体膜のヒステリシス特性により、電源が遮断されても維持される。この動作をストア動作と称する。

【 0 0 0 6 】

電源がオンにされる時、電源 V D D が徐々に立ち上がるが、分極方向の違いにより、強誘電体キャパシタのノード N, N X から見た容量は、 $F C 1 > F C 2$  の関係になる。そのため、電源 V D D の立ち上がりに伴って、インバータ 1 a, 1 b の P チャネルトランジスタを流れる電流によるノード N, N X の電圧レベルの上昇



は、容量が大きいキャパシタ F C 1 側で遅く、容量が小さいキャパシタ F C 2 側で速い。その結果、ノード N, N X には電圧差が生成され、ラッチ回路 2 の増幅動作により、ノード N, N X に電源遮断前の L レベルと H レベルとがリストアされる。この動作をリコール動作と称する。

【 0 0 0 7 】

【非特許文献 1】

T. Miwa et al. "A 512 Kbit Low-voltage NV-SRAM with the size of a conventional SRAM", 2001 Symposium on VLSI Circuit Digest of Technical Papers

【 0 0 0 8 】

【発明が解決しようとする課題】

図 1 に示した不揮発性データ保持回路では、電源電圧 VDD が低い電圧の時は、インバータ 1 a, 1 b のトランジスタのリーク電流により強誘電体キャパシタ F C 1, F C 2 が充電される。従って、ノード N, N X の電圧は、充電リーク電流と強誘電体キャパシタ F C 1, F C 2 の容量により決まる。ここで、キャパシタを充電するリーク電流とは P チャネルトランジスタのリーク電流と N チャネルのリーク電流の差になる。このトランジスタのリーク電流は、閾値電圧のバラツキによって大きく異なる。例えば、閾値電圧が  $d V_{th} = 80 \text{ mV}$  ばらつくと、リーク電流は 1 桁近く相違する。

【 0 0 0 9 】

従って、ラッチ回路を構成するトランジスタの閾値電圧のバラツキによっては、リコール動作で H レベルと L レベルとが反転することがある。閾値電圧のバラツキは、プロセスに依存するバラツキであり、これを少なくすることは困難である。

【 0 0 1 0 】

このような課題を解決するために、本出願人は、先に特許出願を行い、強誘電体キャパシタを使用した不揮発性データ保持回路の改良例を提案した。例えば、特願平 1 3 - 4 0 0 5 0 7 号（平成 1 3 年（2 0 0 1 年）1 2 月 2 8 日出願）である。この改良例によれば、ラッチ回路の電源側に活性化用トランジスタを設け

、リコール動作では、最初にプレート線PLを駆動して、強誘電体キャパシタの分極方向に応じた電圧をラッチ回路の1対の記憶ノードに生成し、その後活性化用トランジスタを駆動して、ラッチ回路を活性化し、記憶ノードの電圧差を増幅して、元のデータをラッチするようにする。

#### 【0011】

この改良例では、ラッチ回路の記憶ノードにそれぞれ1対の強誘電体キャパシタを接続し、電源遮断時に2つのプレート線を駆動してデータをストアし、電源オン時に1つのプレート線を駆動してデータをリコールする。1対の強誘電体キャパシタの容量の差を利用して、リコール動作時により大きな電圧差をラッチ回路の記憶ノードに生成することができる。

#### 【0012】

しかしながら、この改良例において、ストア動作で2つのプレート線を駆動すると、強誘電体キャパシタを介したカップリングノイズによりラッチ回路の1対の記憶ノードのレベルが反転する場合がある。記憶ノードには、そこに接続されるトランジスタの接続容量や配線容量などの寄生容量が接続されるが、強誘電体キャパシタの容量は、その寄生容量に比べると非常に大きい。従って、上記カップリングノイズの影響は大きく、そのため記憶ノードのレベルが大きく変動してラッチ回路のデータが反転し、強誘電体キャパシタへのデータ書き込みが失敗することがある。

#### 【0013】

上記の問題は、集積度を上げるためにラッチ回路のトランジスタサイズを小さくして、その電流駆動能力が低下する場合や、ラッチ回路のインバータ能力のアンバランス、記憶ノードの寄生容量のアンバランスが存在する場合などにより顕著になる。

#### 【0014】

そこで、本発明の目的は、安定に動作する強誘電体キャパシタを使用した不揮発性データ記憶回路を提供することにある。

#### 【0015】

また、本発明の別の目的は、ストア時の動作を安定化させた強誘電体キャパシ

タを使用した不揮発性データ記憶回路を提供することにある。

【0016】

また、本発明の更に別の目的は、リコール時に再書き込みを可能にした強誘電体キャパシタを使用した不揮発性データ記憶回路を提供することにある。

【0017】

【課題を解決するための手段】

上記の目的を達成するために、本発明の第1の側面は、不揮発性データ記憶回路において、記憶ノードを有するデータ保持回路と、記憶ノードに一方の電極が接続された複数の強誘電体キャパシタとを有する。そして、データ保持回路のデータを強誘電体キャパシタに書き込むストア動作時において、複数の強誘電体キャパシタの他方の電極に供給されるプレート信号の立ち上がり又は立ち下りの少なくともいずれか一方のタイミングを異ならせたことを特徴とする。

【0018】

上記第1の側面によれば、ストア動作時において、記憶ノードに接続される複数の強誘電体キャパシタに印加されるプレート信号のタイミングがずれているので、強誘電体キャパシタを介するカップリングノイズを分散させて低減することができ、データ保持回路のデータ反転を防止することができる。

【0019】

上記の発明のより好ましい実施例では、2つの強誘電体キャパシタに印加される第1のプレート信号の立ち下りと第2のプレート信号の立ち上がりのタイミングを一致させる。つまり、第1のプレート信号を先に印加し、その立ち下りタイミングに合わせて第2のプレート信号を立ち上がらせる。これにより、2つのキャパシタを介するカップリングノイズが逆相になって相殺され、データ反転を防止することができる。

【0020】

上記の目的を達成するために、本発明の第2の側面は、不揮発性データ記憶回路において、記憶ノードを有するデータ保持回路と、記憶ノードに一方の電極が接続された1対の強誘電体キャパシタとを有する。そして、強誘電体キャパシタのデータをデータ保持回路に書き戻すリコール動作時において、1対の強誘電体

キャパシタの他方の電極に供給されるプレート信号のタイミングをずらし、第1のプレート信号を印加した時にデータ保持回路を活性化してデータをラッチし、その後第2のプレート信号を印加することを特徴とする。

## 【 0 0 2 1 】

上記第2の側面によれば、第1のプレート信号の印加により記憶ノードに電圧を発生させ、その時にデータ保持回路を活性化してデータをリストアする。その時、第1の強誘電体キャパシタにはデータの再書き込みが行われる。そして、更に、第2のプレート信号の印加により第2の強誘電体キャパシタにもデータの再書き込みが行われる。

## 【 0 0 2 2 】

## 【発明の実施の形態】

以下、図面を参照して本発明の実施の形態例を説明する。しかしながら、本発明の保護範囲は、以下の実施の形態例に限定されるものではなく、特許請求の範囲に記載された発明とその均等物にまで及ぶものである。

## 【 0 0 2 3 】

図2は、前述の先願特許明細書に開示されている不揮発性フリップフロップの回路図である。このフリップフロップは、前段のマスターラッチ回路10と後段のスレーブラッチ回路12で構成されるD型フリップフロップである。マスターラッチ回路10は、1対のインバータ13、14と、トランスファークロップ15、16で構成され、クロックCKがLレベルの時に入力データDinを入力し、クロックCKがHレベルの時にラッチする。スレーブラッチ回路12も、1対のインバータ1a、1bと、トランスファークロップ17、18で構成され、クロックCKがHレベルの時にマスターラッチ回路の出力を入力し、クロックCKがLレベルの時にラッチする。スレーブラッチ回路12が保持するデータは、出力データDoutとして出力される。

## 【 0 0 2 4 】

図2の例では、スレーブラッチ回路12の1対の記憶ノードN、NXにそれぞれ強誘電体キャパシタFC1、FC2が接続され、そのキャパシタの反対側の電極にプレート信号PLが印加される。また、スレーブラッチ回路12のインバー

タ 1 a, 1 b の高電源側と低電源側には、それぞれ活性化用のトランジスタ P T 1, N T 1 が設けられ、それらの活性化用トランジスタのゲートには、活性化信号 E N, E N X が印加される。従って、図 2 のフリップフロップでは、スレーブラッチ回路が保持するデータが、電源オフになっても保持される。

## 【 0 0 2 5 】

スレーブラッチ回路の電源遮断時のストア動作は、従来例と同じであり、ラッチ回路が記憶ノード対 N, N X に L レベルと H レベルを維持しているとする、プレート信号 P L が L レベル、H レベル、L レベルと変化して、強誘電体キャパシタ F C 1, F C 2 に矢印の分極状態が生成される。電源がオンする時のリコール動作は、従来例と異なり、プレート信号 P L を L レベルから H レベルに駆動し、分極状態に応じて、ラッチ回路の記憶ノード対 N, N X にある電圧差を発生させ、その後、活性化信号 E N, E N X をそれぞれ H レベル、L レベルに駆動して、ラッチ回路 1 2 を活性化し、記憶ノード対の電圧差を増幅して、元のデータをラッチする。

## 【 0 0 2 6 】

図 2 の不揮発性ラッチ回路では、強誘電体キャパシタ F C 1, F C 2 の容量値の違いにより、記憶ノード対 N, N X に電圧差を生成する。しかし、2 つのキャパシタの容量の違いだけでは、十分な電圧差を生成することができない。そこで、記憶ノード対に複数の強誘電体キャパシタを接続して、リコール動作時に記憶ノード対により大きな電圧差を生成する。

## 【 0 0 2 7 】

図 3 は、先願特許明細書に開示されている別の不揮発性フリップフロップの回路図であり、上記のとおり、記憶ノード対 N, N X にそれぞれ 1 対の強誘電体キャパシタ F C 1, F C 3 及び F C 2, F C 4 を接続している。そして、それらキャパシタの反対側の電極には、第 1 のプレート線 P L 1 と第 2 のプレート線 P L 2 とが接続される。

## 【 0 0 2 8 】

図 4 は、図 3 の不揮発性フリップフロップの動作波形図である。また、図 5 は、強誘電体キャパシタの分極方向を示す図であり、図 6 は、記憶ノード対 N, N

Xに接続される容量の等価回路図である。これらを参照しながら、不揮発性フリップフロップの動作を説明する。

#### 【0029】

仮に、ラッチ回路12が、ノードNがLレベル、ノードNXがHレベルの状態にあるとする。その状態で電源オフにする前にストア動作が行われる。図4に示されるとおり、第1及び第2のプレート信号PL1, PL2がLレベル（グラウンド電圧）から一旦Hレベル（電源電圧）にされ、再度Lレベルにされる。両プレート信号がLレベルの時は、強誘電体キャパシタFC2, FC4に負の方向の電圧が印加され、それらの強誘電体膜はヒステリシス曲線の点Aに移動し、矢印方向に分極する。その後、プレート信号PL1, PL2がHレベルになると、強誘電体キャパシタFC2, FC4には電圧印加がなくなり、点Bに移動する。一方、強誘電体キャパシタFC1, FC3には、正方向の電圧が印加され、点Cに移動して、FC2, FC4とは逆の矢印方向に分極する。その後、プレート信号PL1, PL2がLレベルになると、キャパシタFC1, FC3は点Dに移動し、キャパシタFC2, FC4は点Aに移動する。

#### 【0030】

これにより、ラッチ回路12のデータは、4つの強誘電体キャパシタに保持される。その後、電源が遮断されると、ラッチ回路12の記憶ノード対N, NXの電圧レベルは消失し、キャパシタFC2, FC4は点Bに移動する。電源の遮断でラッチ回路の保持データは消失するが、強誘電体キャパシタには残留分極として残るので、データは維持される。

#### 【0031】

次に、電源をオンにすると、電源電圧VDDの上昇に伴って、Hレベルに制御される活性化信号ENXも上昇する。従って、活性化信号ENはLレベル、その反転信号ENXはHレベルに制御され、ラッチ回路12は非活性状態になる。そこで、第1のプレート信号PL1をLレベルからHレベルにすると、強誘電体キャパシタFC1, FC2には、ストア時と同じ方向の電圧が印加され、強誘電体キャパシタFC3, FC4には、ストア時と逆方向の電圧が印加される。つまり、第1のプレート信号PL1がHレベルになると、強誘電体キャパシタFC1, FC2は

、ヒステリシス曲線の点C側に移動し、強誘電体キャパシタFC3、FC4は、点A側に移動する。印加される電圧Vに対して電荷量Qが異なるので、キャパシタの容量Cは、 $C=Q/V$ の関係から、 $FC1 < FC3$ 、 $FC2 > FC4$ の関係になる。小さい容量を50fF、大きい容量を200fF、そして、記憶ノードN、NXの寄生容量を5fFとすると、その等価回路は、図6に示される通りである。

## 【0032】

第1のプレート信号PL1がHレベル(3.3V)になった時の各記憶ノードN、NXの電圧 $V_n$ 、 $V_{nx}$ は、各ノードに接続される容量分割により、

$$V_n = 3.3V \times (50fF / (5fF + 50fF + 200fF)) = 0.65V$$

$$V_{nx} = 3.3V \times (200fF / (5fF + 50fF + 200fF)) = 2.59V$$

になる。

## 【0033】

各記憶ノードN、NXにそれぞれ1対の強誘電体キャパシタを接続することで、リコール動作時に $FC1 < FC3$ 、 $FC2 > FC4$ の関係を利用して、より大きな電圧差を記憶ノード対に生成することができる。この状態で、ラッチ回路の活性化信号EN、ENXをHレベル、Lレベルに駆動すると、ラッチ回路12が活性化され、記憶ノード対の電圧差を増幅し、元のデータを確実にラッチすることができる。

## 【0034】

図7は、図3、4の問題点を説明する図である。図6に示されるとおり、記憶ノード対N、NXの寄生容量5fFに比較すると、強誘電体キャパシタFC1～FC4の容量値はかなり大きい。従って、ストア動作の時のプレート信号PL1、PL2のLレベルからHレベルへの立ち上がり時や、HレベルからLレベルへの立ち下がり時において、記憶ノード対N、NXにカップリングノイズが重畳される。

## 【0035】

図7において、第1及び第2のプレート信号PL1、PL2が立ち上がるタイミングでは、そのカップリングによりノードNX、Nが共に上昇し、定常状態の電圧差 $dV1$ が、 $dV2$ に変化している。また、プレート信号が立ち下がるタイ

ミングでは、ノードNX、Nが共に下降し、電圧差 $dV_3$ に縮小している。この例は、例えば、ノードNXを駆動するインバータ1aのPチャネルトランジスタの駆動能力が低く、ノードNを駆動するインバータ1bのNチャネルトランジスタの駆動能力が高い場合にあらわれる波形である。または、ノードNXの寄生容量が小さく、ノードNの寄生容量が大きい場合にあらわれる波形である。

## 【0036】

つまり、プレート信号の立ち上がりのカップリングノイズは、ラッチ回路12の動作により吸収され、記憶ノードN、NXはL、Hレベル状態を維持しようとする。しかし、インバータ1aのPチャネルトランジスタの駆動能力が弱く、インバータ1bのNチャネルトランジスタの駆動能力が高い場合は、インバータ1aのPチャネルトランジスタで駆動されているHレベル側のノードNXのレベルは、カップリングノイズにより大きな影響を受けて、その電圧変動がより大きくなる。一方、インバータ1bのNチャネルトランジスタで駆動されているLレベル側のノードNのレベルは、カップリングノイズを吸収して、その電圧変動がより小さくなる。そのため、プレート信号PL1, 2の立ち下がりエッジで、両記憶ノード間の電圧 $dV_3$ が極端に小さくなる。最悪の場合は、図7(B)に示されるとおり、記憶ノード対の電圧レベルが反転する場合もある。これが、ストア動作の失敗につながる。

## 【0037】

上記とは逆の特性バラツキ、つまり、インバータ1aのPチャネルトランジスタの駆動能力が高く、インバータ1bのNチャネルトランジスタの駆動能力が低い場合は、図7(A)において、プレート信号PL1, 2の立ち上がりエッジの時にデータの反転が発生する危険がある。つまり、カップリングノイズにより、ノードNはより高く上昇し、ノードNXはあまり上昇せずに、電圧差 $dV_2$ が極端に縮小するからである。

## 【0038】

上記のデータ反転の問題は、ラッチ回路の記憶ノードの寄生容量がアンバランスの場合も同様に発生する。一般のラッチ回路は、ラッチ反転が生じやすくなるように、インバータやノード対の容量をアンバランスに形成する場合がある。そ



のようなラッチ回路の場合は、上記の問題が深刻になる。また、製造バラツキによりインバータの能力にアンバランスが生じることもある。

## 【 0 0 3 9 】

図 8 は、本実施の形態における不揮発性フリップフロップの回路図である。図 3 と同じ引用番号が与えられており、マスターラッチ回路 1 0 とスレーブラッチ回路 1 2 とからなり、マスターラッチ回路 1 0 は、インバータ 1 3, 1 4 を有し、スレーブラッチ回路 1 2 は、インバータ 1 a, 1 b を有する。図 8 には、インバータ 1 a, 1 b の具体的な CMOS インバータ回路が示されている。これらのインバータの P チャネルトランジスタは、その基板（n 型半導体）が電源 VDD に接続され、N チャネルトランジスタは、その基板（p 型基板）がグランド電圧 VSS に接続される。そして、活性化用トランジスタ P T 1 と N T 1 を介して、電源 VDD とグランド VSS に接続される。

## 【 0 0 4 0 】

図 8 の不揮発性フリップフロップは、スレーブラッチ回路 1 2 が強誘電体キャパシタ F C 1 ~ F C 4 を有し、不揮発性ラッチ回路になっている。そして、それらの強誘電体キャパシタに供給される第 1 及び第 2 のプレート信号 P L 1, P L 2 が、プレート信号発生回路 2 0 により生成される。本実施の形態では、このプレート信号発生回路 2 0 が生成する第 1 及び第 2 のプレート信号 P L 1, P L 2 のタイミングが、図 7 の例とは異なる。

## 【 0 0 4 1 】

図 9 は、本実施の形態におけるプレート信号の第 1 の例を示す波形図である。図 9 は、電源オフ時のストア動作における第 1 及び第 2 のプレート信号 P L 1, P L 2 と、ラッチ回路の記憶ノード対 N, N X の波形を示す。第 1 の例では、時刻 t 1 で第 1 のプレート信号 P L 1 が立ち上がり、その後、所定の時間経過後の時刻 t 2 で第 2 のプレート信号 P L 2 が立ち上がる。そして、時刻 t 3 で第 1 のプレート信号 P L 1 が立ち下がり、その後時刻 t 4 で第 2 のプレート信号 P L 2 が立ち下がる。

## 【 0 0 4 2 】

このように、第 1 及び第 2 のプレート信号の立ち上がりと立ち下がりタイミン

グをそれぞれずらすことにより、2つのプレート信号の駆動に伴うカップリングノイズが重畳することはなくなり、分散される。従って、時刻 $t_1 \sim t_4$ でのそれぞれのカップリングノイズの大きさを低減することができ、それにより、記憶ノードN、NXの電圧変動幅を小さくすることができる。その結果、図9に示されるとおり、時刻 $t_3$ 、 $t_4$ での動作マージンが増加し、カップリングノイズにより記憶ノードの電圧レベルが反転しにくくなる。この例では、インバータ1aのPチャネルトランジスタの駆動能力が低く、インバータ1bのNチャネルトランジスタの駆動能力が高い場合を前提に説明している。その逆の場合であっても、プレート信号の立ち上がりタイミングが時刻 $t_1$ 、 $t_2$ とずれているので、その時の動作マージンも大きくなる。

## 【0043】

第1の例では、第1及び第2のプレート信号の立ち上がり立ち下がりタイミングがそれぞれずれていれば良い。従って、例えば、第1のプレート信号PL1が先に立ち上がり、第2のプレート信号PL2が後で立ち上がった後、第2のプレート信号PL2が立ち下がり、第1のプレート信号PL1が立ち下がっても良い。また、第1及び第2のプレート信号の順番が逆であってもよい。いずれにしても、プレート信号の駆動に伴う強誘電体キャパシタによるカップリング動作を分散することで、ラッチ回路のデータ反転を抑制することができる。

## 【0044】

図10は、第1の波形例を生成するプレート信号発生回路図である。このプレート信号発生回路20は、ストア信号STOREとリコール信号RECALLに応じて制御信号22A、22Bを生成する制御信号発生回路22と、プレート信号PLを波形成形するインバータ24、25と、そのプレート信号PLを制御信号22A、22Bに応じて出力するANDゲート26、27と、複数段のインバータで構成されるディレイチェーン回路28とを有する。

## 【0045】

図10のプレート信号発生回路20は、図4に示したように、ストア動作では、第1及び第2のプレート信号PL1、PL2を生成し、リコール動作では、第1のプレート信号PL1のみを生成する。但し、ディレイチェーン回路28を第

2のプレート信号の伝播ルート内に設けることで、図9のように、第2のプレート信号PL2の立ち上がりと立ち下りのタイミングを共に、第1のプレート信号PL1よりも遅らせることができる。

## 【0046】

図11は、第1の波形例を生成する別のプレート信号発生回路図である。この例では、図10のディレイチェーン回路28に替えて、インバータ30と、遅延キャパシタ33と、シュミットトリガゲート31と、インバータ32を設ける。シュミットトリガゲートは、入力立ち上がり時の反転閾値電圧が比較的高く、入力立ち下り時の反転閾値電圧が比較的低いゲートである。遅延キャパシタ33により伝播信号の立ち上がり立ち下がりが緩やかになり、シュミットトリガゲート31により、立ち上がり立ち下り傾斜に応じた遅延時間が、第2のプレート信号PL2に与えられる。従って、生成される第1及び第2のプレート信号の波形は、図9と同じようになる。但し、図11では、多段のインバータからなるディレイチェーン28を要しないので、回路規模を小さくすることができる。

## 【0047】

図12は、本実施の形態におけるプレート信号の第2の例を示す波形図である。この例では、第1のプレート信号PL1の立ち下りタイミングと第2のプレート信号PL2の立ち上がりタイミングとをほぼ一致させている。それにより、時刻 $t_2$ では、両プレート信号PL1、PL2の駆動に伴うカップリングノイズ方向が逆方向になり、ノイズが相殺される。そして、時刻 $t_1$ 、 $t_3$ では、単一のプレート信号しか駆動されないため、カップリングノイズは小さくなり、動作マージンが増大する。図12の例では、第1のプレート信号と第2のプレート信号のパルス幅 $W_1$ と、遅延量 $D_1$ とを等しくすることで、共通のパルス信号から両プレート信号PL1、2を生成し、第1のプレート信号PL1の立ち下りタイミングと第2のプレート信号PL2の立ち上がりタイミングとを一致させている。

## 【0048】

上記の立ち下りと立ち上りのタイミングをほぼ一致させるとは、一方の立

ち上がり期間と他方の立ち下がり期間の少なくとも一部で重複する程度に一致しているなどを意味する。

## 【 0 0 4 9 】

図 1 3 は、第 2 の波形例を生成するプレート信号生成回路図である。この回路では、ディレイ回路 3 4 とインバータ 3 5 と AND ゲート 3 6 により、共通のプレート信号 P L から、遅延時間 D 1 と同じパルス幅のパルス信号 3 6 A が生成される。この信号 3 6 A をもとにして、第 1 及び第 2 のプレート信号 P L 1, P L 2 が生成される。そして、第 2 のプレート信号 P L 2 の伝播経路に同じディレイ回路 3 4 が設けられ、第 2 のプレート信号 P L 2 は、遅延時間 D 1 だけ第 1 のプレート信号 P L 1 より遅れる。その結果、図 1 2 に示すように、両プレート信号 P L 1, P L 2 は同じパルス幅 ( $W 1 = D 1$ ) を有し、互いにパルス幅分だけ遅延した波形になる。そのため、第 1 のプレート信号 P L 1 の立ち下がりエッジと第 2 のプレート信号 P L 2 の立ち上がりエッジのタイミングとが整合する。

## 【 0 0 5 0 】

図 1 4 は、本実施の形態におけるプレート信号の第 3 の例を示す波形図である。図 1 4 には、図 4 と同様に、電源オフの時のストア動作と電源オンの時のリコール動作とが示されている。図 4 と異なるところは、ストア動作時には、2 つのプレート信号 P L 1, P L 2 の一方の立ち下がりと立ち上がりタイミングが一致するようにずれており、リコール時には、第 1 のプレート信号 P L 1 が駆動された後に、第 2 のプレート信号 P L 2 も駆動される。更に正確にいうと、2 つのプレート信号の関係は、ストア動作時とリコール動作時とで同じになっている。

## 【 0 0 5 1 】

ストア動作では、第 1 のプレート信号 P L 1 と第 2 のプレート信号の立ち上がりタイミングがずれており、また、立ち下がりタイミングもずれている。更に、第 1 のプレート信号 P L 1 の立ち下がりタイミングと第 2 のプレート信号 P L 2 の立ち上がりタイミングとが一致している。従って、図 1 2 で説明したとおり、ラッチ回路の記憶ノード対へのカップリングノイズは分散され、または相殺され、それによるラッチ回路のデータ反転は抑えられる。

## 【 0 0 5 2 】

リコール動作では、第1のプレート信号PL1が先に立ち上がる。それにより、前述した原理で、記憶ノード対N、NXに電圧差が生成される。その状態で、活性化信号EN、ENXがそれぞれHレベル、Lレベルに駆動され、ラッチ回路12が活性化される。それに伴い、記憶ノード対の電圧差が増幅され、元のデータがラッチされる。

## 【0053】

この状態から第1のプレート信号PL1をLレベルに下げることによって、強誘電体キャパシタFC1、FC2には、データに対応した分極状態が生成される。即ち、強誘電体キャパシタFC1、FC2への再書き込みが完了する。更に、この波形例では、第2のプレート信号PL2がHレベルに駆動され、その後Lレベルに戻される。これにより、強誘電体キャパシタFC3、FC4にも、データに対応した分極状態が生成される。従って、全ての強誘電体キャパシタFC1～FC4に、データの再書き込みが行われるので、その直後に何らかの事故により電源が遮断しても、強誘電体キャパシタがデータを保持しているので、再度電源をオンして、データのラッチ回路へのリコールを行うことができる。

## 【0054】

図14の波形例では、ストア動作時とリコール動作時とで、第1及び第2のプレート信号PL1、PL2は同じである。従って、これらのプレート信号生成回路の構成も簡単にできる。図15が、第3の波形例のプレート信号生成回路図である。図15のプレート信号生成回路は、図13の回路から、制御信号発生回路22とANDゲート26、27をなくすことにより得られる。つまり、ストア動作とリコール動作とで同じプレート信号を生成するので、それらに関する回路は不要になる。図15の回路例でも、第1及び第2のプレート信号PL1、PL2は、同じパルス幅を有し、そのパルス幅分だけ一方の信号がずれている。

## 【0055】

図16は、本実施の形態における不揮発性ラッチ回路の変形例を示す図である。この例では、前述のとおり、フリップフロップ回路のスレーブラッチを不揮発性に行っている。この回路では、スレーブラッチ回路12の記憶ノード対N、NXの寄生容量をバランスさせて等しくするために、ダミーゲート17D、18Dを

追加している。つまり、ノードNには、トランスファークラップゲート17と18とが接続されており、それに伴いCMOSトランジスタのジャンクション容量がノードNの寄生容量として存在している。そこで、もう一方のノードNXにも同じ寄生容量を持たせるために、常時導通状態のCMOSトランスファークラップゲート17D、18Dが設けられる。記憶ノードN、NXの寄生容量が等しければ、ストア動作でのカップリングノイズによるデータ反転の発生を抑えることができる。

## 【0056】

更に、図16の変形例では、図示されないが、スレーブラッチ回路12の1対のインバータ1a、1bのPチャネルトランジスタとNチャネルトランジスタの形状が、両トランジスタの電流駆動能力が同程度になるように設計されている。例えば、トランジスタサイズ（チャネル幅やチャネル長など）や、不純物濃度などによって変動する駆動能力が、同程度になるようにされている。より厳密に述べると、一方のインバータのPチャネルトランジスタと他方のインバータのNチャネルトランジスタの電流駆動能力が同じ程度になっていれば、カップリングノイズの影響を同程度にすることができる。このように、1対のインバータのトランジスタの電流駆動能力にアンバランスがなければ、前述のストア動作時のカップリングによるデータ反転を抑制することができる。

## 【0057】

図17は、本実施の形態におけるメモリ回路の図である。本実施の形態の不揮発性ラッチ回路は、メモリ回路のメモリセルとして使用することができる。図17のメモリ回路では、ワード線WLとビット線対BL0, BL0X~BL2, BL2Xとの交差位置に、メモリセルMCが設けられる。このメモリセルMCは、1対のインバータ1a、1bで構成されるラッチ回路40と、その記憶ノードN、NXに接続される4つの強誘電体キャパシタFC1~FC4と、ワード線WL及びビット線対BL0, BL0Xに接続されるトランスファートランジスタ41、42とを有する。そして、全てのメモリセルのラッチ回路40に共通に、活性化トランジスタPT1, NT1が設けられ、このトランジスタは、活性化信号ENX、ENにより駆動される。

## 【0058】

更に、各メモリセルの強誘電体キャパシタFC1~FC4の反対側電極には、

プレート信号生成回路 2 0 から、第 1 のプレート信号 P L 1 と第 2 のプレート信号 P L 2 とが供給される。このプレート信号 P L 1, P L 2 は、上記した実施の形態と同じ波形、タイミングを有する。

#### 【 0 0 5 9 】

このメモリ回路では、電源オンの間は、各メモリセルのラッチ回路 4 0 が活性化状態にあり、通常の SRAM と同様の動作を行う。そして、電源をオフにするときに、プレート信号 P L 1, P L 2 がタイミングをずらして生成され、各メモリセルの記憶ノード対 N, N X のデータに応じて、強誘電体キャパシタの分極状態が生成される。また、電源オンの時は、プレート信号 P L 1 が生成されてから、活性化信号 EN, ENX によりメモリセルのラッチ回路が活性化されて、データがリストアされる。その後、第 2 のプレート信号 P L 2 も駆動されて、データの再書き込みが行われる。

#### 【 0 0 6 0 】

以上の通り、本実施の形態によれば、強誘電体キャパシタを使用した不揮発性データ保持回路において、データストア動作でのデータ反転を防止することができる。また、リコール動作では、強誘電体キャパシタにデータの再書き込みを行うことができる。

#### 【 0 0 6 1 】

また、前述の実施の形態では、フリップフロップのスレーブラッチ回路に強誘電体キャパシタを設けて不揮発性にしたが、マスターラッチ回路側に同様の強誘電体キャパシタを設けて不揮発性にしてもよい。

#### 【 0 0 6 2 】

以上、実施の形態例をまとめると以下の付記の通りである。

#### 【 0 0 6 3 】

(付記 1) 不揮発性データ記憶回路において、  
記憶ノードを有するデータ保持回路と、  
前記記憶ノードに一方の電極が接続された複数の強誘電体キャパシタとを有し  
前記データ保持回路のデータを前記複数の強誘電体キャパシタに書き込むスト

ア動作時において、前記複数の強誘電体キャパシタの他方の電極に、立ち上がり又は立ち下りの少なくともいずれか一方のタイミングを異ならせた複数のプレート信号がそれぞれ供給されることを特徴とする不揮発性データ記憶回路。

【 0 0 6 4 】

(付記 2) 付記 1 において、

前記データ保持回路は、1 対のインバータの入出力端子を交差接続したラッチ回路であり、前記記憶ノードは、当該入出力端子対であることを特徴とする不揮発性データ記憶装置。

【 0 0 6 5 】

(付記 3) 付記 1 において、

前記記憶ノードに接続される複数の強誘電体キャパシタが、第 1 及び第 2 の強誘電体キャパシタとを有し、

前記第 1 及び第 2 の強誘電体キャパシタに印加される第 1 のプレート信号の立ち下りと第 2 のプレート信号の立ち上がりのタイミングがほぼ一致していることを特徴とする不揮発性データ記憶装置。

【 0 0 6 6 】

(付記 4) 付記 3 において、

前記データ保持回路は、活性化信号に応答して当該データ保持回路を活性化する活性化回路を有し、

前記強誘電体キャパシタに書き込んだデータを前記データ保持回路に書き込むリコール動作時において、前記第 1 のプレート信号が駆動された後に、前記活性化回路により前記データ保持回路が活性化されることを特徴とする不揮発性データ記憶装置。

【 0 0 6 7 】

(付記 5) 付記 4 において、

前記リコール動作時において、前記データ保持回路が活性化された後に、前記第 2 のプレート信号が駆動されることを特徴とする不揮発性データ記憶回路。

【 0 0 6 8 】

(付記 6) 付記 4 において、



前記ストア動作時とリコール動作時とで、前記第 1 及び第 2 のプレート信号と  
が同じタイミング波形を有することを特徴とする不揮発性データ記憶装置。

## 【 0 0 6 9 】

(付記 7) 不揮発性データ記憶回路において、

第 1 及び第 2 の記憶ノードを有するデータラッチ回路と、

前記第 1 の記憶ノードに一方の電極が接続された第 1 及び第 2 の強誘電体キャ  
パシタと、前記第 2 の記憶ノードに一方の電極が接続された第 3 及び第 4 の強誘  
電体キャパシタとを有し、

前記データラッチ回路のデータを前記強誘電体キャパシタに書き込むストア動  
作時において、前記第 1 及び第 3 の強誘電体キャパシタの他方の電極に第 1 のプ  
レート信号が供給され、前記第 2 及び第 4 の強誘電体キャパシタの他方の電極に  
第 2 のプレート信号が供給され、前記第 1 及び第 2 のプレート信号の立ち上がり  
又は立ち下りの少なくともいずれか一方のタイミングが異なっていることを特  
徴とする不揮発性データ記憶回路。

## 【 0 0 7 0 】

(付記 8) 付記 7 において、

前記ストア動作時において、前記第 1 のプレート信号の立ち下りと第 2 のプ  
レート信号の立ち上がりのタイミングがほぼ一致していることを特徴とする不揮  
発性データ記憶回路。

## 【 0 0 7 1 】

(付記 9) 付記 7 において、

前記強誘電体キャパシタのデータをデータラッチ回路に書き込むリコール動作  
時において、前記第 1 及び第 3 の強誘電体キャパシタの他方の電極に前記第 1 の  
プレート信号が供給され、その状態で前記データラッチ回路が活性化され、その  
後、前記第 2 及び第 4 の強誘電体キャパシタの他方の電極に前記第 2 のプレート  
信号が供給されることを特徴とする不揮発性データ記憶回路。

## 【 0 0 7 2 】

(付記 10) 付記 7 において、

前記第 1 及び第 2 の記憶ノードのいずれか一方に、ダミーゲート回路が接続さ

れていることを特徴とする不揮発性データ記憶回路。

【 0 0 7 3 】

(付記 1 1) 付記 7 において、

前記データラッチ回路は、入出力端子を交差接続した 1 対のインバータを有し、当該 1 対のインバータは、同等の電流駆動能力を有する P チャネルトランジスタと N チャネルトランジスタとを有することを特徴とする不揮発性データ記憶回路。

【 0 0 7 4 】

(付記 1 2) 不揮発性データ記憶回路において、

記憶ノードを有するデータ保持回路と、

前記記憶ノードに一方の電極が接続された 1 対の強誘電体キャパシタとを有し

前記強誘電体キャパシタのデータを前記データ保持回路に書き戻すリコール動作時において、前記 1 対の強誘電体キャパシタの他方の電極に供給される第 1 及び第 2 のプレート信号のタイミングをずらし、前記第 1 のプレート信号を印加した時に前記データ保持回路を活性化してデータをラッチし、その後前記第 2 のプレート信号を印加することを特徴とする不揮発性データ記憶回路。

【 0 0 7 5 】

(付記 1 3) 不揮発性メモリ回路において、

複数のワード線と、

複数のビット線対と、

前記ワード線とビット線対の交差位置に配置されたメモリセルとを有し、

前記メモリセルは、

第 1 及び第 2 の記憶ノードを有するデータラッチ回路と、

前記第 1 の記憶ノードに一方の電極が接続された第 1 及び第 2 の強誘電体キャパシタと、前記第 2 の記憶ノードに一方の電極が接続された第 3 及び第 4 の強誘電体キャパシタとを有し、

前記データラッチ回路のデータを前記強誘電体キャパシタに書き込むストア動作時において、前記第 1 及び第 3 の強誘電体キャパシタの他方の電極に第 1 のプ

レート信号が供給され、前記第 2 及び第 4 の強誘電体キャパシタの他方の電極に第 2 のプレート信号が供給され、前記第 1 及び第 2 のプレート信号の立ち上がり又は立ち下りの少なくともいずれか一方のタイミングが異なっていることを特徴とする不揮発性メモリ回路。

【 0 0 7 6 】

(付記 1 4) 付記 1 3 において、

前記ストア動作時において、前記第 1 のプレート信号の立ち下りと第 2 のプレート信号の立ち上がりのタイミングがほぼ一致していることを特徴とする不揮発性メモリ回路。

【 0 0 7 7 】

(付記 1 5) 付記 1 3 において、

前記強誘電体キャパシタのデータをデータラッチ回路に書き込むリコール動作時において、前記第 1 及び第 3 の強誘電体キャパシタの他方の電極に前記第 1 のプレート信号が供給され、その状態で前記データラッチ回路が活性化され、その後、前記第 2 及び第 4 の強誘電体キャパシタの他方の電極に前記第 2 のプレート信号が供給されることを特徴とする不揮発性メモリ回路。

【 0 0 7 8 】

【発明の効果】

以上、本発明によれば、強誘電体キャパシタを使用した不揮発性データ記憶回路において、データリストア動作時の動作を安定させることができる。

【図面の簡単な説明】

【図 1】

従来の強誘電体キャパシタを利用したメモリセルの回路図である。

【図 2】

先願特許明細書に開示されている不揮発性フリップフロップの回路図である。

【図 3】

先願特許明細書に開示されている別の不揮発性フリップフロップの回路図である。

【図 4】

図 3 の不揮発性フリップフロップの動作波形図である。

【図 5】

強誘電体キャパシタの分極方向を示す図である。

【図 6】

記憶ノード対 N, NX に接続される容量の等価回路図である。

【図 7】

図 3, 4 の問題点を説明する図である。

【図 8】

本実施の形態における不揮発性フリップフロップの回路図である。

【図 9】

本実施の形態におけるプレート信号の第 1 の例を示す波形図である。

【図 1 0】

第 1 の波形例を生成するプレート信号発生回路図である。

【図 1 1】

第 1 の波形例を生成する別のプレート信号発生回路図である。

【図 1 2】

本実施の形態におけるプレート信号の第 2 の例を示す波形図である。

【図 1 3】

第 2 の波形例を生成するプレート信号生成回路図である。

【図 1 4】

本実施の形態におけるプレート信号の第 3 の例を示す波形図である。

【図 1 5】

第 3 の波形例を生成するプレート信号生成回路図である。

【図 1 6】

本実施の形態における不揮発性ラッチ回路の変形例を示す図である。

【図 1 7】

本実施の形態におけるメモリ回路の図である。

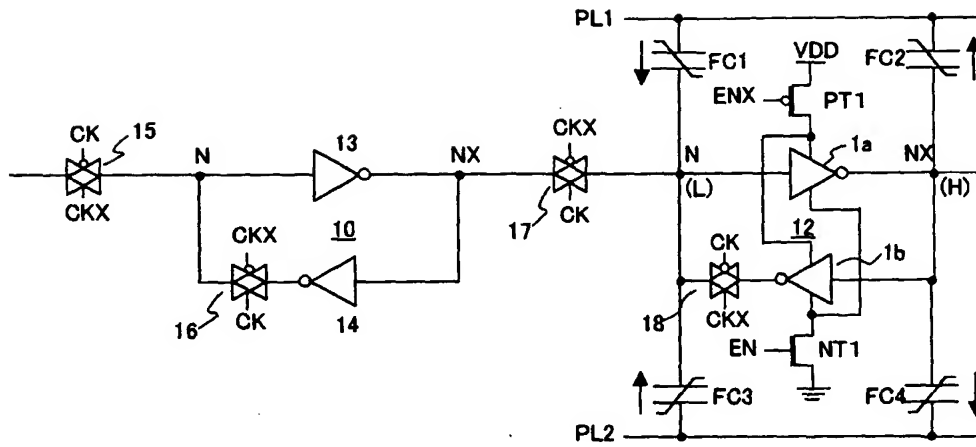
【符号の説明】

1 2            不揮発性ラッチ回路、スレーブラッチ回路

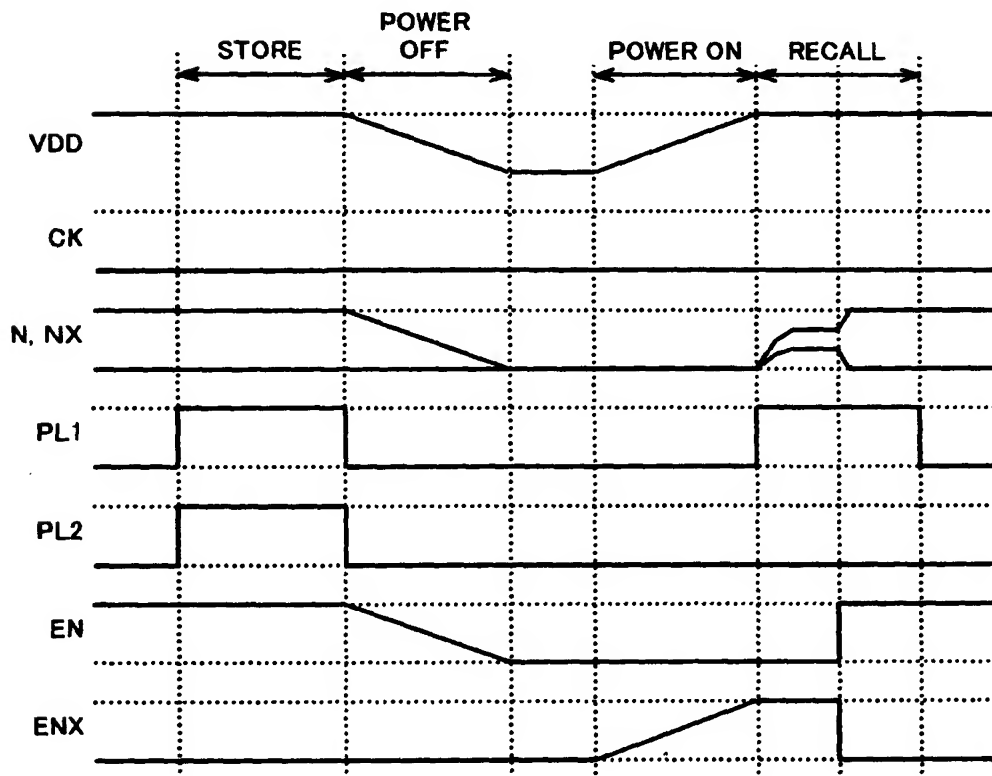
1 a, 1 b	1 対のインバータ
N, NX	1 対の記憶ノード
FC 1 ~ FC 4	強誘電体キャパシタ
PL 1, PL 2	第 1、第 2 のプレート信号
2 2	プレート信号生成回路
PT 1, NT 1	活性化回路、活性化トランジスタ
EN, ENX	活性化信号



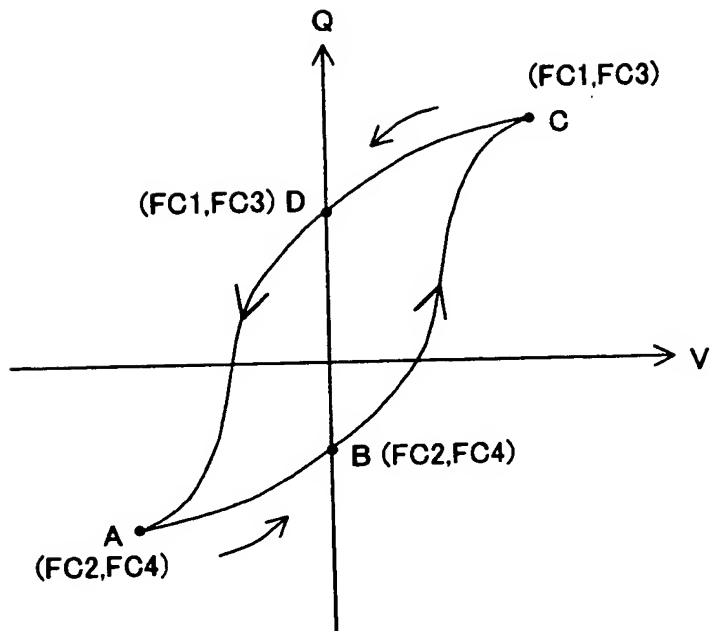
【図 3】



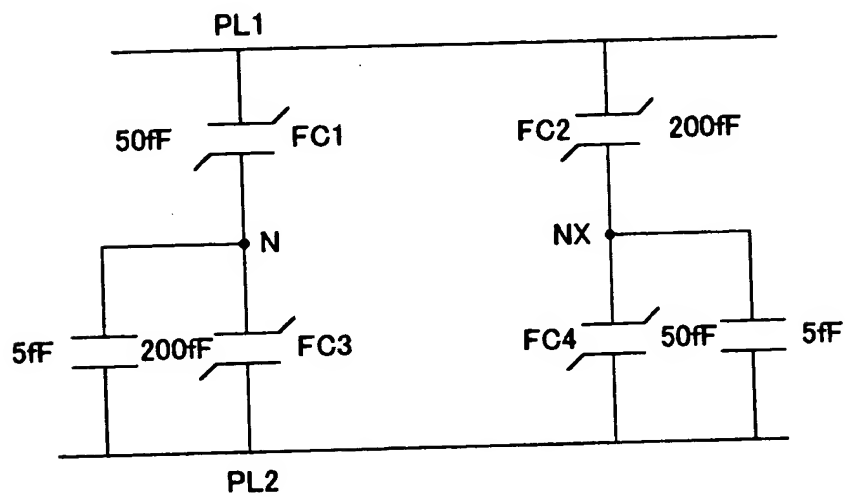
【図 4】



【図 5】

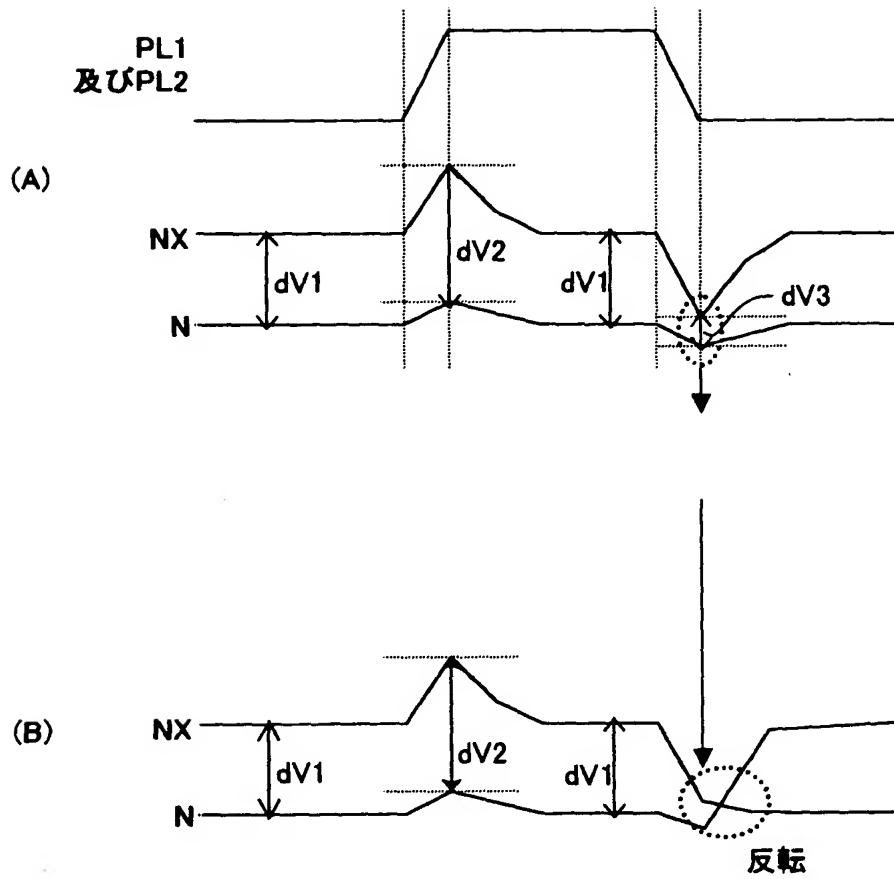


【図 6】





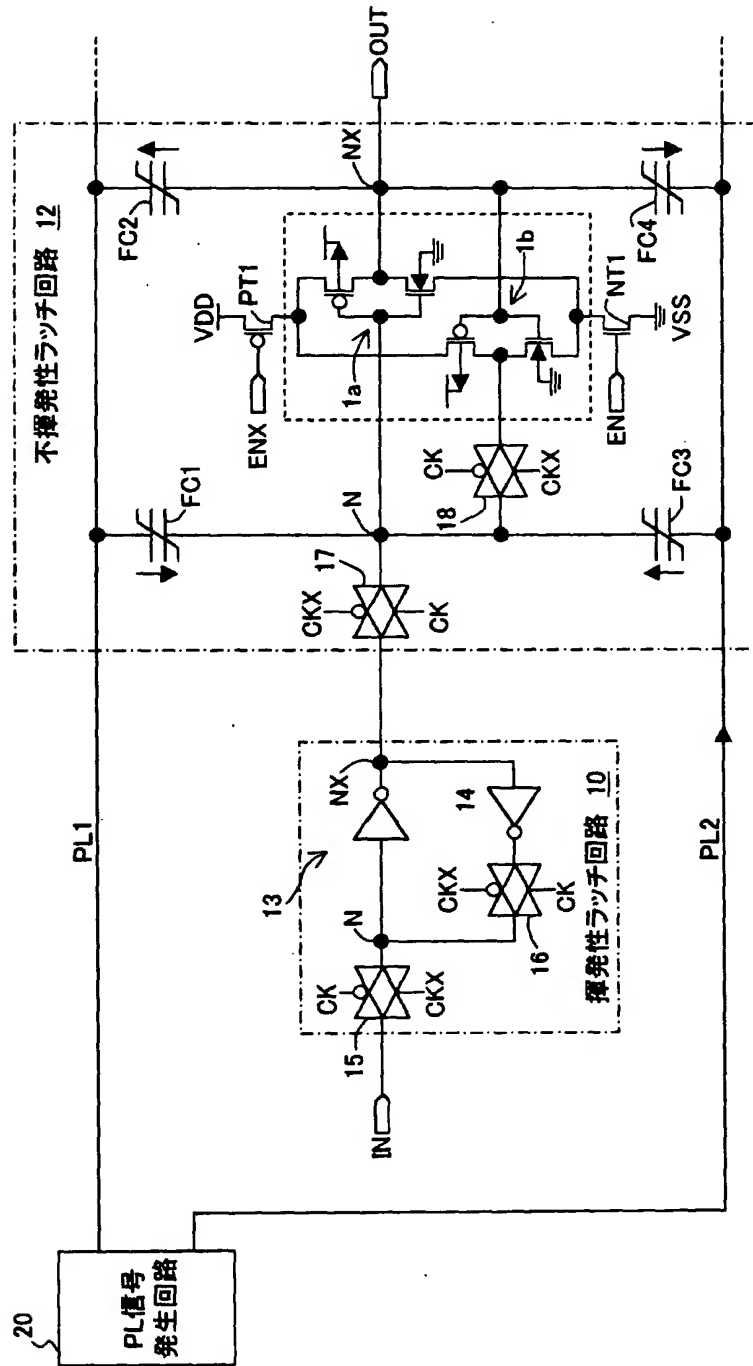
【図 7】



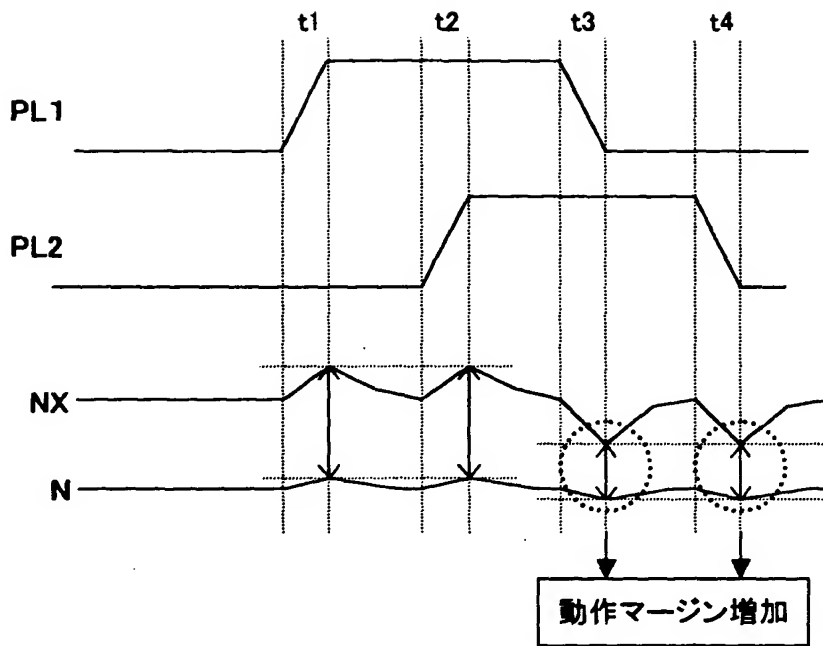
先願の問題点を説明する図

【図 8】

実施の形態の不揮発性フリップフロップ

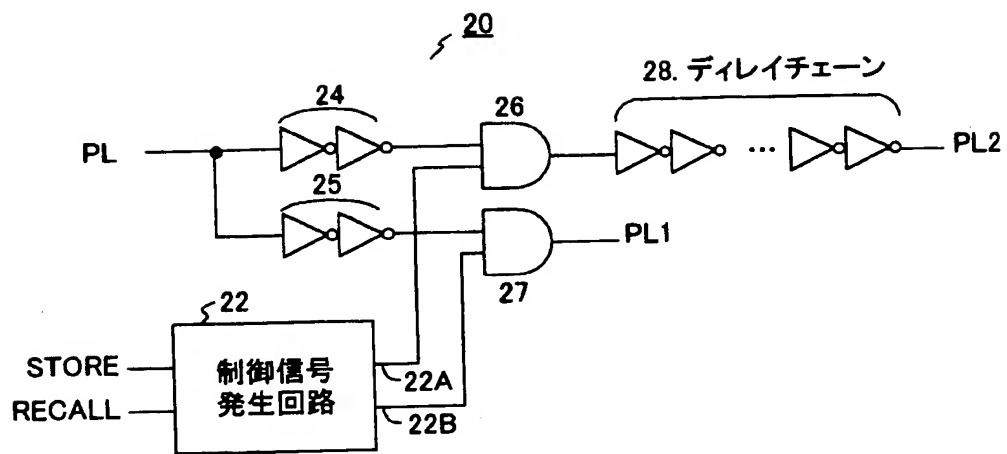


【図 9】



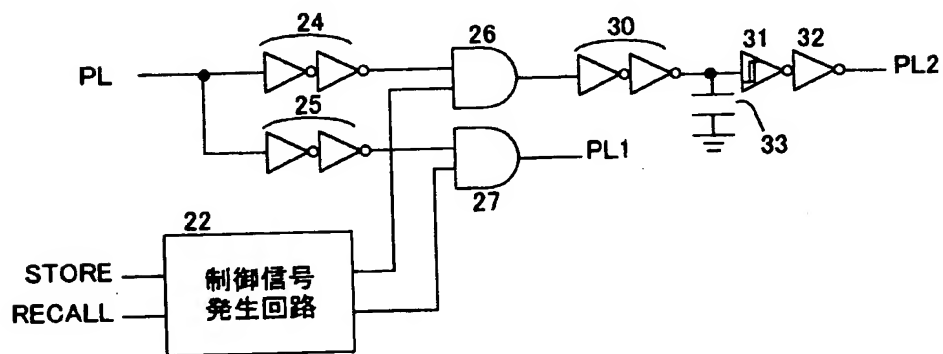
第1の波形例

【図 1 0】



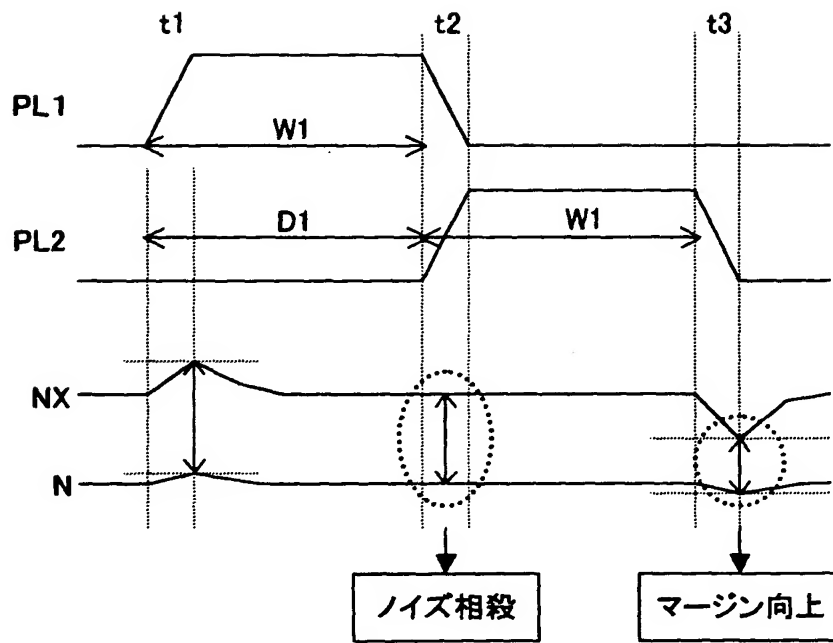
PL信号生成回路 (1)

【図 1 1】



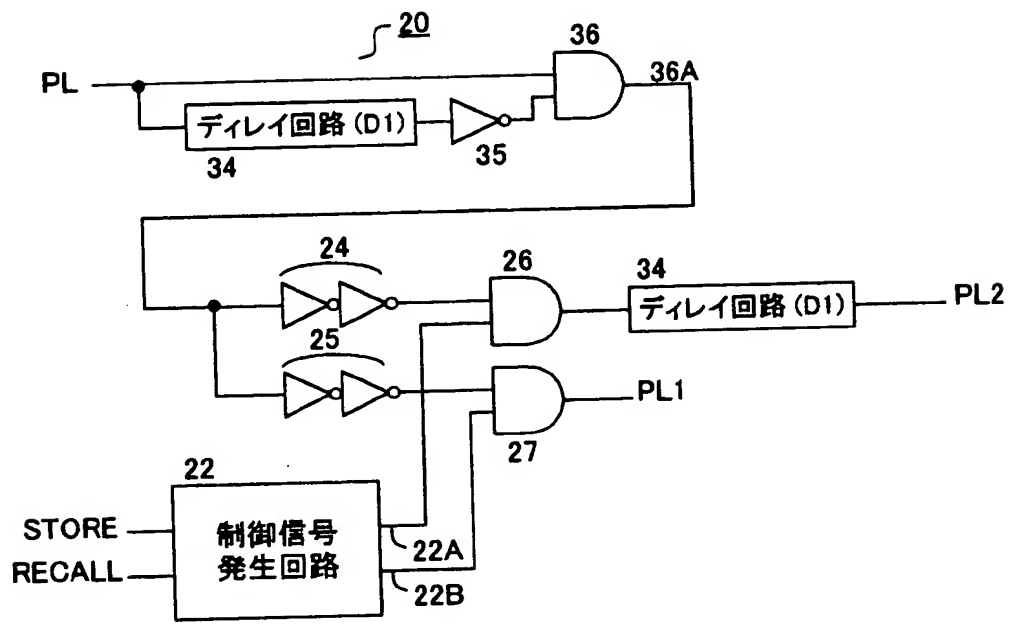
PL信号生成回路 (2)

【図 1 2】



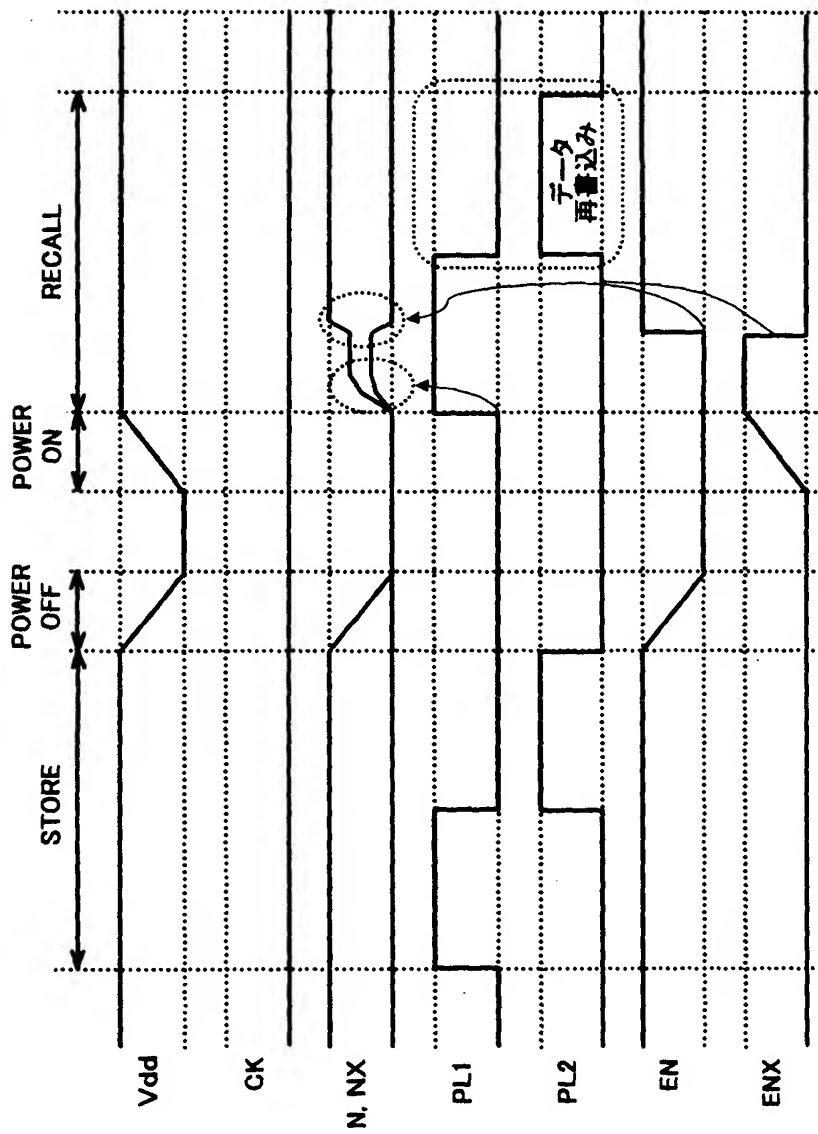
第2の波形例

【図 1 3】



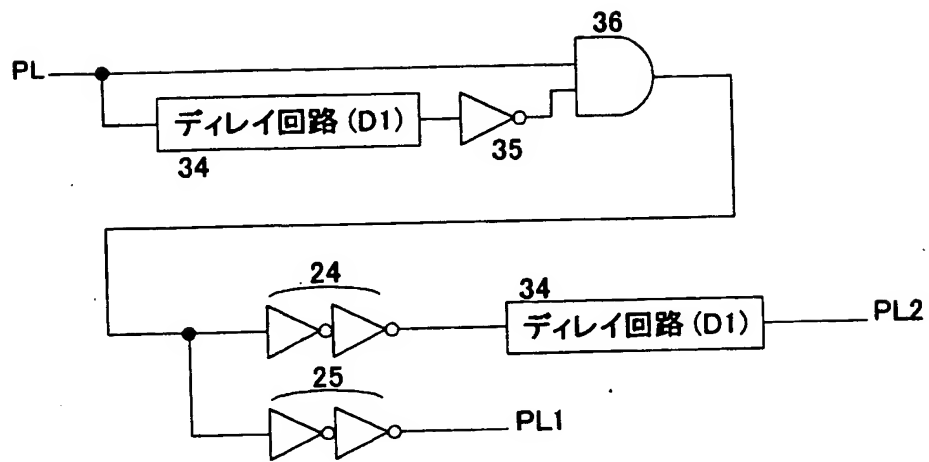
PL信号生成回路 (3)

【図 14】



第3の信号波形例

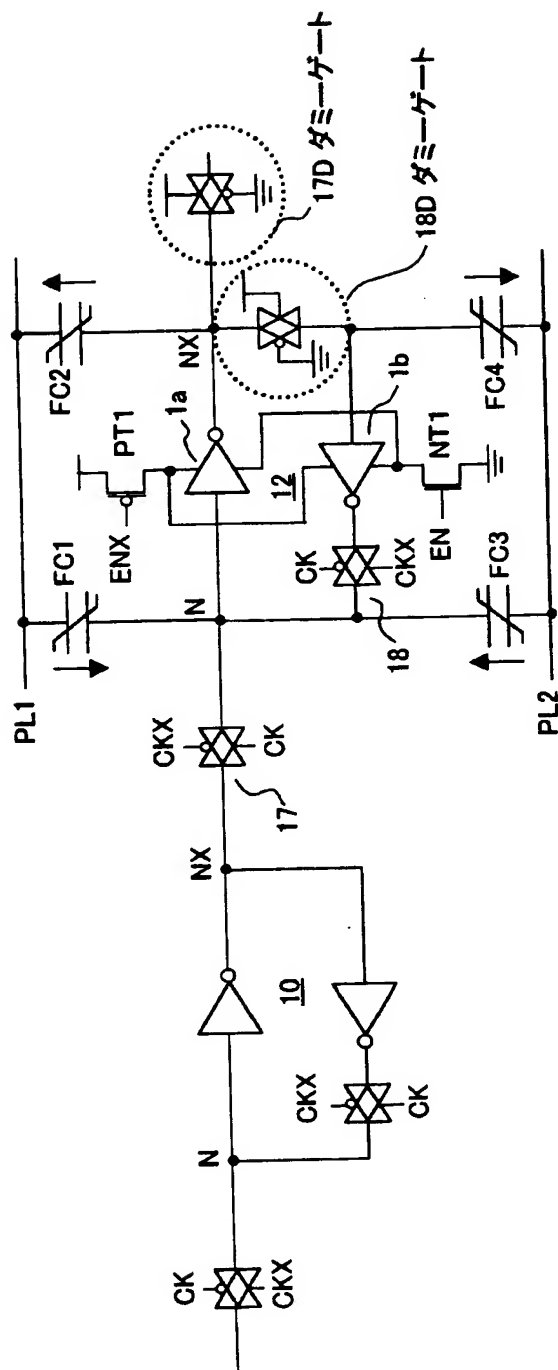
【図 1 5】



PL信号生成回路(4)

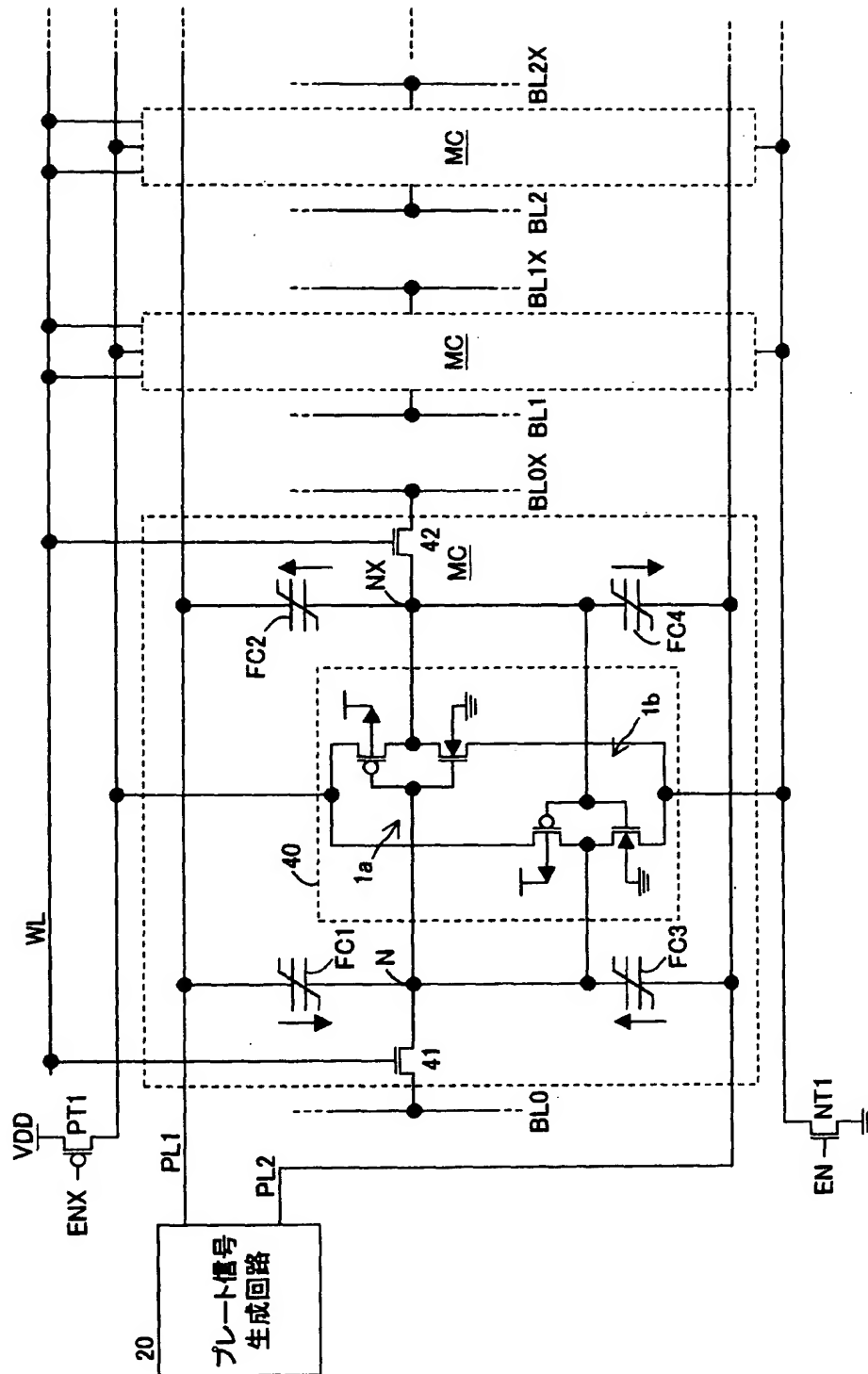


【図16】



【図17】

メモリ回路例



## 【書類名】

## 要約書

## 【要約】

【課題】 強誘電体キャパシタを使用した不揮発性データ記憶回路において、データリストア動作時の動作を安定させる

【解決手段】 不揮発性データ記憶回路において、記憶ノードを有するデータ保持回路（1a,1b）と、記憶ノード（N,NX）に一方の電極が接続された複数の強誘電体キャパシタ（FC1～FC4）とを有する。そして、データ保持回路のデータを強誘電体キャパシタに書き込むストア動作時において、複数の強誘電体キャパシタの他方の電極に供給されるプレート信号（PL1,PL2）の立ち上がり又は立ち下りの少なくともいずれか一方のタイミングを異ならせる。ストア動作時において、記憶ノードに接続される複数の強誘電体キャパシタに印加されるプレート信号のタイミングがずれているので、強誘電体キャパシタを介するカップリングノイズを分散させて低減することができ、データ保持回路のデータ反転を防止することができる。

【選択図】 図 8

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号  
氏 名 富士通株式会社